

SOLID-STATE IMAGE PICKUP DEVICE

Patent number: JP2001036822 (A)
Publication date: 2001-02-09
Inventor(s): HAGIWARA YOSHIO +
Applicant(s): MINOLTA CO LTD +
Classification:


- **international:** *H01L27/146; H01L31/10; H04N3/15; H04N5/217; H04N5/335;*
H01L27/146; H01L31/10; H04N3/15; H04N5/217; H04N5/335;
(IPC1-7): H01L27/146; H01L31/10; H04N5/335


- **european:** H01L27/146A4; H01L27/146F; H04N3/15E6; H04N5/217S3B;
H04N5/355A1

Application number: JP19990207411 19990722

Priority number(s): JP19990207411 19990722

Also published as:

 JP4300635 (B2)

 US7164443 (B1)

Abstract of JP 2001036822 (A)

PROBLEM TO BE SOLVED: To provide a solid-state image pickup device capable of acquiring correction data of each pixel output when an object is photographed without preliminarily irradiating the object with uniform light. SOLUTION: Threshold voltage of a MOS transistor T1 of each pixel is measured to suppress fluctuation of output current to be caused by the threshold voltage of the MOS transistor T1 in a pixel and it is defined as the correction data. A MOS transistor T2 is turned on to obtain the correction data, DC voltage VRB is applied on a gate of the MOS transistor T1, a MOS transistor T3 is turned off and connection between gates of MOS transistors T1 and T4 is cut off. Next, after ϕ_{VPS} is turned to low voltage once, a negative electric charge is stored in the MOS transistor T1 by increasing it up to the voltage approximate to the DC voltage VPD.; The generated voltage is applied to the gate of the MOS transistor T4 by the negative electric charge and when a MOS transistor T5 is turned on, the output current is supplied to an output signal line 6 based on the voltage applied to the gate of the MOS transistor T4.



Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-36822
(P2001-36822A)

(43) 公開日 平成13年2月9日(2001.2.9)

(51) Int.Cl. ⁷	識別記号	F I	特マート*(参考)
H 0 4 N 5/335		H 0 4 N 5/335	P 4 M 1 1 8
			E 5 C 0 2 4
H 0 1 L 27/146		H 0 1 L 27/14	A 5 F 0 4 9
31/10		31/10	G

審査請求 未請求 請求項の数24 O L (全 20 頁)

(21) 出願番号 特願平11-207411

(22) 出願日 平成11年7月22日(1999.7.22)

(71) 出願人 000006079

ミノルタ株式会社

大阪府大阪市中央区安土町二丁目3番13号

大阪国際ビル

(72) 発明者 萩原 義雄

大阪府大阪市中央区安土町二丁目3番13号 大阪

国際ビル ミノルタ株式会社内

(74) 代理人 100085501

弁理士 佐野 静夫

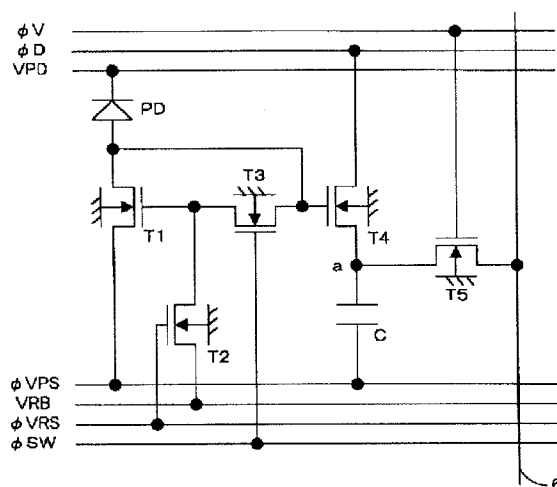
最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【要約】 (修正有)

【課題】 予め様光を照射せず、被写体撮像時における各画素出力の補正データを獲得できる固体撮像装置。

【解決手段】 画素内のMOSトランジスタT1の閾値電圧が要因となる出力電流のバラツキを抑制するため、各画素のMOSトランジスタT1の閾値電圧を測定し、補正データとする。この補正データを得るためMOSトランジスタT2をONしてMOSトランジスタT1のゲートに直流電圧VRBを印加し、MOSトランジスタT3をOFFしてMOSトランジスタT1、T4のゲートの接続を遮断する。次に、一旦 ϕ VPSを低い電圧にした後、直流電圧VPDに近い電圧に引き上げることで、MOSトランジスタT1に負の電荷を蓄積させる。この負の電荷によって、発生した電圧がMOSトランジスタT4のゲートに印加され、MOSトランジスタT5がONしたとき、このMOSトランジスタT4のゲートに印加された電圧に基づいて出力電流が出力信号線6に流れる。



【特許請求の範囲】

【請求項 1】 入射した光量に応じた電気信号を発生する感光素子を有するとともに該電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段内に電荷を注入することによって、各画素の前記光電変換手段の感度のバラツキを検出する検出手段を有することを特徴とする固体撮像装置。

【請求項 2】 前記画素が、マトリクス状に配設されることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】 前記光電変換手段から出力される電気信号を積分する積分回路を有し、該積分回路で積分した信号を前記導出路を介して前記出力信号線へ導出することを特徴とする請求項 1 又は請求項 2 に記載の固体撮像装置。

【請求項 4】 前記積分した信号を前記出力信号線へ出力した後に、前記積分回路の電荷を放出するリセット手段を有することを特徴とする請求項 3 に記載の固体撮像装置。

【請求項 5】 前記リセット手段が、第 1 電極と第 2 電極と制御電極とを備え、前記積分回路に第 1 電極が接続されたトランジスタで構成され、該トランジスタの制御電極に印加する電圧のレベルを変化して該トランジスタを導通させたとき、前記積分回路に蓄積された電荷が放出されることを特徴とする請求項 4 に記載の固体撮像装置。

【請求項 6】 前記各画素が、前記光電変換手段の出力信号を増幅する増幅用トランジスタを有しており、該増幅用トランジスタの出力信号を前記導出路を介して前記出力信号線へ出力することを特徴とする請求項 1～請求項 5 のいずれかに記載の固体撮像装置。

【請求項 7】 前記出力信号線に接続された負荷抵抗又は定電流源を有し、前記負荷抵抗又は定電流源の総数が全画素数より少ないことを特徴とする請求項 6 に記載の固体撮像装置。

【請求項 8】 前記負荷抵抗又は定電流源は、前記出力信号線に接続された第 1 電極と、直流電圧に接続された第 2 電極と、直流電圧に接続された制御電極とを有する抵抗用トランジスタであることを特徴とする請求項 7 に記載の固体撮像装置。

【請求項 9】 前記増幅用トランジスタが N チャンネルの MOS トランジスタであり、前記増幅用トランジスタの第 1 電極に印加される直流電圧が、前記抵抗用トランジスタの第 2 電極に接続される直流電圧よりも高電位であることを特徴とする請求項 8 に記載の固体撮像装置。

【請求項 10】 前記増幅用トランジスタが P チャンネルの MOS トランジスタであり、前記増幅用トランジスタの第 1 電極に印加される直流電圧が、前記抵抗用トランジスタの第 2 電極に接続される直流電圧よりも低電位で

あることを特徴とする請求項 8 に記載の固体撮像装置。

【請求項 11】 前記導出路は、全画素の中から所定のものを順次選択し、選択された画素の出力信号を出力信号線に導出するスイッチを含むことを特徴とする請求項 1～請求項 10 のいずれかに記載の固体撮像装置。

【請求項 12】 前記光電変換手段が、第 1 電極に直流電圧が印加された光電変換素子と、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極が光電変換素子の第 2 電極に接続され、光電変換素子からの出力電流が流れ込む第 1 のトランジスタと、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタとから構成され、前記第 1 のトランジスタの制御電極に直流電圧を印加するための第 1 のスイッチ手段と、前記第 1 のトランジスタの制御電極と前記第 2 のトランジスタの制御電極との間に設けられた第 2 のスイッチ手段と、を有し、

前記各画素の感度のバラツキを検出するとき、前記第 1 のスイッチ手段を ON するとともに、前記第 2 のスイッチ手段を OFF することによって、前記第 1 のトランジスタの制御電極に一定の直流電圧を印加するとともに、前記第 1 のトランジスタの制御電極と前記第 2 のトランジスタの制御電極とを切断状態にし、前記各画素に撮像動作をさせるとき、前記第 1 のスイッチ手段を OFF するとともに、前記第 2 のスイッチ手段を ON することによって、前記第 1 のトランジスタの制御電極と前記第 2 のトランジスタの制御電極を接続状態にすることを特徴とする請求項 1～請求項 11 のいずれかに記載の固体撮像装置。

【請求項 13】 前記第 1 のスイッチ手段が、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極が前記第 1 のトランジスタの制御電極に接続されるとともに第 2 電極に直流電圧が印加された第 3 のトランジスタであり、前記第 2 のスイッチ手段が、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極が前記第 1 のトランジスタの制御電極に接続されるとともに第 2 電極が前記第 2 のトランジスタの制御電極に接続された第 4 のトランジスタであり、

前記各画素の感度のバラツキを検出するとき、前記第 3 のトランジスタの制御電極に信号を与えて前記第 3 のトランジスタを ON するとともに、前記第 4 のトランジスタを OFF することによって、前記第 1 のトランジスタの制御電極に一定の直流電圧を印加するとともに、前記第 1 のトランジスタの制御電極と前記第 2 のトランジスタの制御電極とを切断状態にし、前記各画素に撮像動作をさせるとき、前記第 3 のトランジスタを OFF するとともに、前記第 4 のトランジスタの制御電極に信号を与えて前記第 4 のトランジスタを O

Nすることによって、前記第1のトランジスタの制御電極と前記第2のトランジスタの制御電極を接続状態にすることを特徴とする請求項12に記載の固体撮像装置。

【請求項14】 前記各画素が撮像動作を行うときの前記光電変換手段の動作状態を、前記電気信号を線形的に変換する第1状態と、前記電気信号を自然対数的に変換する第2状態とに切換可能としたことを特徴とする請求項1～請求項13のいずれかに記載の固体撮像装置。

【請求項15】 前記各画素が撮像動作を行うとき、前記第1のトランジスタの第1電極と第2電極の電位差を10 変化させることによって、前記光電変換手段の動作を、前記電気信号を線形的に変換する第1状態と、前記電気信号を自然対数的に変換する第2状態とに切り換えることができることを特徴とする請求項12又は請求項13に記載の固体撮像装置。

【請求項16】 各画素の光電変換手段の感度のバラツキを検出するとき、前記感光素子を暗状態に保つことを特徴とする請求項1～請求項15のいずれかに記載の固体撮像装置。

【請求項17】 複数の画素を備えた固体撮像装置にお20
いて、
各画素が、
フォトダイオードと、
該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、
前記第1MOSトランジスタのゲート電極に第1電極が接続され、第2電極に直流電圧が印加される第2MOSトランジスタと、
前記第1MOSトランジスタのゲート電極に第1電極が30
接続され、第2電極が前記第1MOSトランジスタの第1電極に接続された第3MOSトランジスタと、
該第1MOSトランジスタの第1電極にゲート電極が接続された第4MOSトランジスタと、を有し、
前記各画素の感度のバラツキを検出するとき、前記第2MOSトランジスタのゲート電極に信号を与えて前記第2MOSトランジスタをONするとともに、前記第3MOSトランジスタをOFFすることによって、前記第1MOSトランジスタのゲート電極に一定の直流電圧を印加するとともに、前記第1MOSトランジスタのゲート電極と前記第4MOSトランジスタのゲート電極とを切40
断状態にし、
前記各画素に撮像動作をさせるとき、前記第2MOSトランジスタをOFFするとともに、前記第3MOSトランジスタのゲート電極に信号を与えて前記第3MOSトランジスタをONすることによって、前記第1MOSトランジスタのゲート電極と前記第4MOSトランジスタのゲート電極を接続状態にすることを特徴とする固体撮像装置。

【請求項18】 前記画素に撮像動作をさせる場合において、

前記フォトダイオードから出力される電気信号を自然対数的に変換して前記第4MOSトランジスタの第2電極から出力させるときは、前記第1MOSトランジスタを閾値以下のサブスレッショルド領域で動作させ、

一方、前記フォトダイオードから出力される電気信号を線形的に変換して前記第4MOSトランジスタの第2電極から出力させるときは、前記第1MOSトランジスタの第2電極と前記フォトダイオードの他方の電極の電位を接近させることにより前記第1MOSトランジスタを不動作状態とするとともに、電気信号を出力した後、前記第2MOSトランジスタのゲート電極に入力する電圧のレベルを切り換えることによって前記第2MOSトランジスタを導通させて、前記第1MOSトランジスタの第1電極及びゲート電極に蓄積された電荷を放出してリセットすることを特徴とする請求項17に記載の固体撮像装置。

【請求項19】 前記画素が、第1電極が前記第4MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第5MOSトランジスタを有することを特徴とする請求項17又は請求項18に記載の固体撮像装置。

【請求項20】 前記画素が、第1電極に直流電圧が印加され、ゲート電極が前記第4MOSトランジスタの第2電極に接続されるときともに、前記第4MOSトランジスタの第2電極から出力される出力信号を増幅する第6MOSトランジスタを有することを特徴とする請求項17～請求項19のいずれかに記載の固体撮像装置。

【請求項21】 前記画素が、前記第4MOSトランジスタの第2電極に一端が接続される信号線に接続されるときともに、前記第4MOSトランジスタの第1電極にリセット電圧が与えられたときに前記第4MOSトランジスタを介してリセットされるキャパシタを有することを特徴とする請求項19又は請求項20に記載の固体撮像装置。

【請求項22】 前記第4MOSトランジスタの第1電極に直流電圧が印加されるときともに、
前記画素が、
前記第4MOSトランジスタの第2電極に第1電極が接続され第2電極に直流電圧が接続された第7MOSトランジスタと、
前記第4MOSトランジスタの第2電極に一端が接続される信号線に接続されるときともに、前記第7MOSトランジスタのゲート電極にリセット電圧が与えられたときに前記第7MOSトランジスタを介してリセットされるキャパシタと、
を有することを特徴とする請求項19又は請求項20に記載の固体撮像装置。

【請求項23】 前記画素に対し前記出力信号線を介して接続された負荷抵抗又は定電流源を成すMOSトランジスタを備えていることを特徴とする請求項17～請求

項22のいずれかに記載の固体撮像装置。

【請求項24】 各画素の光電変換手段の感度のバラツキを検出するとき、前記感光素子を暗状態に保つことを特徴とする請求項17～請求項23のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は固体撮像装置に関するものであり、特に複数の画素を配置した固体撮像装置に関する。

【0002】

【従来の技術】固体撮像装置は、小型、軽量で低消費電力であるのみならず、画像歪や焼き付きが無く、振動や磁界などの環境条件に強い。又、LSI (Large Scale Integrated circuit) と共通の工程又は類似の工程で製造できるので、信頼性が高く、量産にも適している。このため、ライン状に画素が配された固体撮像装置がファクシミリやフラットベッドスキャナに、マトリクス状に画素が配された固体撮像装置がビデオカメラやデジタルカメラなどに幅広く使用されている。ところで、このよ

うな固体撮像装置は光電変換素子で発生した光電荷を読み出す(取り出す)手段によってCCD型とMOS型に大きく分けられる。CCD型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようになっており、ダイナミックレンジが狭いという欠点がある。一方、MOS型はフォトダイオードのpn接合容量に蓄積した電荷をMOSトランジスタを通して読み出すようになっている。

【0003】ここで、従来のMOS型固体撮像装置の1画素当りの構成を図20に示し説明する。同図において、PDはフォトダイオードであり、そのカソードがMOSトランジスタT1のゲートとMOSトランジスタT2のドレインに接続されている。MOSトランジスタT1のソースはMOSトランジスタT3のドレインに接続され、MOSトランジスタT3のソースは出力信号線V_{out}へ接続されている。またMOSトランジスタT1のドレインには直流電圧V_{PD}が印加され、MOSトランジスタT2のソースとフォトダイオードのアノードには直流電圧V_{PS}が印加されている。

【0004】フォトダイオードPDに光が入射すると、光電荷が発生し、その電荷はMOSトランジスタT1のゲートに蓄積される。ここで、MOSトランジスタT3のゲートにパルスφ_Vを与えてMOSトランジスタT3をONすると、MOSトランジスタT1のゲートの電荷に比例した電流がMOSトランジスタT1、T3を

通って出力信号線V_{out}へ導出される。このようにして入射光量に比例した出力電流を読み出すことができる。信号読み出し後はMOSトランジスタT3をOFFにする

とともに、MOSトランジスタT2のゲートに信号φ_{RS}を与えてMOSトランジスタT2をONすることでMOSトランジスタT1のゲート電圧を初期化させることが

【0005】【発明が解決しようとする課題】このように、従来のMOS型の固体撮像装置は各画素においてフォトダイオードで発生しMOSトランジスタのゲートに蓄積された光電荷をそのまま読み出すものであったからダイナミックレンジが狭く、そのため露光量を精密に制御しなければならず、しかも露光量を精密に制御しても暗い部分が黒くつぶれたり、明るい部分が飽和したりしていた。一方、本出願人は、入射した光量に応じた光電流を発生しう

る感光手段と、光電流を入力するMOSトランジスタと、このMOSトランジスタをサブスレッショルド電流が流れうる状態にバイアスするバイアス手段とを備え、光電流を対数変換するようにした固体撮像装置を提案した(特開平3-192764号公報参照)。このような固体撮像装置は、広いダイナミックレンジを有しているものの、画素毎に設けられたMOSトランジスタの閾値特性が異なることがあり、画素毎に感度が異なる場合がある。よって、予め輝度が様な明るい光(一様光)を照射することによって得られた出力を、被写体の撮像時の各画素の出力を補正する補正データとして保持する必要がある。

【0006】

【課題を解決するための手段】上記の目的を達成するため請求項1に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子を有するとともに該電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段内に電荷を注入することによって、各画素の前記光電変換手段の感度のバラツキを検出する検出手段を有することを特徴とする。

【0007】このような固体撮像装置において、請求項2に記載するように、前記画素をマトリクス状に配設することによって、エリアセンサとしてビデオカメラやデジタルカメラなどの撮像装置に用いられる。

【0008】請求項3に記載の固体撮像装置は、請求項1又は請求項2に記載の固体撮像装置において、前記光電変換手段から出力される電気信号を積分する積分回路を有し、該積分回路で積分した信号を前記導出路を介して前記出力信号線へ導出することを特徴とする。

【0010】このような構成によると、各画素からの出力信号は積分回路で積分されるので、この出力信号に含まれる光源の変動成分や高周波のノイズは、積分回路で吸収され除去される。又、請求項4に記載するように、前記積分した信号を前記出力信号線へ出力した後に、前記積分回路の電荷を放出するリセット手段を設けることによって、各画素が出力を行った後に、初期化することができる。このリセット手段は、請求項5に記載するように、第1電極と第2電極と制御電極とを備え、前記積分回路に第1電極が接続されたトランジスタとすること

10 によって、該トランジスタの制御電極に印加する電圧のレベルを変化して該トランジスタを導通させて、前記積分回路に蓄積された電荷を放出することができる。
【0011】請求項6に記載の固体撮像装置は、請求項1～請求項5に記載の固体撮像装置において、前記各画素が、前記光電変換手段の出力信号を増幅する増幅用トランジスタを有しており、該増幅用トランジスタの出力信号を前記導出路を介して前記出力信号線へ出力することを特徴とする。

【0012】このような固体撮像装置によると、増幅用トランジスタによって、出力信号が増幅されて十分な大きさとなって出力されるので、感度の良い撮像信号となる。このような固体撮像装置において、請求項7に記載するように、前記出力信号線に接続されたその総数が全画素数より少ない負荷抵抗又は定電流源を設けても良い。

【0013】負荷抵抗又は定電流源として請求項8に記載するように、前記出力信号線に接続された第1電極と、直流電圧に接続された第2電極と、直流電圧に接続された制御電極とを有する抵抗用トランジスタとしても良い。又、増幅用トランジスタをNチャネルのMOSトランジスタとする場合、請求項9に記載するように、前記増幅用トランジスタの第1電極に印加される直流電圧を、前記抵抗用トランジスタの第2電極に接続される直流電圧よりも高電位とすればよい。又、増幅用トランジスタをPチャネルのMOSトランジスタとする場合、請求項10に記載するように、前記増幅用トランジスタの第1電極に印加される直流電圧を、前記抵抗用トランジスタの第2電極に接続される直流電圧よりも低電位とすればよい。更に、導出路としては、請求項11に記載するように、全画素の中から所定のものを順次選択し、選択された画素からの出力信号を出力信号線に導出するスイッチを含むものを用いても良い。

【0014】請求項12に記載の固体撮像装置は、請求項1～請求項11のいずれかに記載の固体撮像装置において、前記光電変換手段が、第1電極に直流電圧が印加された光電変換素子と、第1電極と第2電極と制御電極とを備え、第1電極が光電変換素子の第2電極に接続され、光電変換素子からの出力電流が流れ込む第1のトランジスタと、第1電極と第2電極と制御電極とを備え、

第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極に接続され、第2電極から電気信号を出力する第2のトランジスタとから構成され、前記第1のトランジスタの制御電極に直流電圧を印加するための第1のスイッチ手段と、前記第1のトランジスタの制御電極と前記第2のトランジスタの制御電極との間に設けられた第2のスイッチ手段と、を有し、前記各画素の感度のバラツキを検出するとき、前記第1のスイッチ手段をONするとともに、前記第2のスイッチ手段をOFFすることによって、前記第1のトランジスタの制御電極に一定の直流電圧を印加するとともに、前記第1のトランジスタの制御電極と前記第2のトランジスタの制御電極とを切断状態にし、前記各画素に撮像動作をさせるとき、前記第1のスイッチ手段をOFFするとともに、前記第2のスイッチ手段をONすることによって、前記第1のトランジスタの制御電極と前記第2のトランジスタの制御電極を接続状態にすることを特徴とする。

【0015】このような固体撮像装置において、請求項13に記載するように、前記第1のスイッチ手段を、第1電極と第2電極と制御電極とを備え、第1電極が前記第1のトランジスタの制御電極に接続されるとともに第2電極に直流電圧が印加された第3のトランジスタとし、前記第2のスイッチ手段を、第1電極と第2電極と制御電極とを備え、第1電極が前記第1のトランジスタの制御電極に接続されるとともに第2電極が前記第2のトランジスタの制御電極に接続された第4のトランジスタとすることで、前記第3のトランジスタの制御電極に信号を与えて前記第3のトランジスタをONするとともに、前記第4のトランジスタをOFFすることによって、前記第1のトランジスタの制御電極に一定の直流電圧を印加するとともに、前記第1のトランジスタの制御電極と前記第2のトランジスタの制御電極とを切断状態にして前記各画素の感度のバラツキを検出し、前記第3のトランジスタをOFFするとともに、前記第4のトランジスタの制御電極に信号を与えて前記第4のトランジスタをONすることによって、前記第1のトランジスタの制御電極と前記第2のトランジスタの制御電極を接続状態にして前記各画素に撮像動作をさせることができる。

【0016】請求項14に記載の固体撮像装置は、請求項1～請求項13のいずれかに記載の固体撮像装置において、前記各画素が撮像動作を行うときの前記光電変換手段の動作状態を、前記電気信号を線形的に変換する第1状態と、前記電気信号を自然対数的に変換する第2状態とに切換可能としたことを特徴とする。

【0017】このような構成の固体撮像装置によると、被写体の輝度状態及び撮像時の環境に応じて、ダイナミックレンジを変更することができる。例えば、フォトダイオードで発生した光電荷をMOSトランジスタを用い

て変換する場合、このMOSトランジスタを閾値以下のサブスレッショルド領域で動作させると、対数変換状態（第2状態）となり、ダイナミックレンジが大きくとれる。しかしながら、低輝度で動く被写体を撮像すると、対数変換動作では、残像が目立ちやすい。

【0018】それは、対数変換動作では、MOSトランジスタがON状態となっていてフォトダイオードの発生する電気信号をリアルタイムで対数変換してMOSトランジスタから出力するが、MOSトランジスタのゲート側の電荷及びこのゲートに接続されたフォトダイオードの寄生容量などに蓄積された電荷が放電されず、前の情報が残るからである。これは、輝度が低い場合に特に目立つ。又、対数変換では、一般に変換出力が小さいので、S/N比（信号/ノイズ比）が悪くなりがちである。

【0019】これに対して、MOSトランジスタをOFF状態にしている線形変換状態（第1状態）では、ダイナミックレンジは狭いが、光電変換手段から出力される信号は大きく得られるので、S/N比がよい。これは、OFF状態のMOSトランジスタのゲートやフォトダイオードで光電荷が積分されるからである。又、リセットされることにより、前の情報が残らないようにできる。

【0020】従って、低輝度から高輝度の広い範囲にわたる被写体の撮像には、光電変換手段を第2状態（対数変換）に切り換えて使用し、低輝度の被写体や、輝度範囲の狭い被写体の撮像には、光電変換手段を第1状態（線形変換）に切り換えて使用すると良い。

【0021】又、請求項15に記載の固体撮像装置のように、請求項12又は請求項13に記載の固体撮像装置において、前記各画素が撮像動作を行うとき、前記第1のトランジスタの第1電極と第2電極の電位差を変化させることによって、光電変換手段の動作を、第1状態と第2状態とに切り換えるようにしても良い。

【0022】請求項16に記載の固体撮像装置のように、請求項1～請求項15のいずれかに記載の固体撮像装置において、各画素の光電変換手段の感度のバラツキを検出するとき、前記感光素子を暗状態に保つようにしても良い。

【0023】請求項17に記載の固体撮像装置は、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、前記第1MOSトランジスタのゲート電極に第1電極が接続され、第2電極に直流電圧が印加される第2MOSトランジスタと、前記第1MOSトランジスタのゲート電極に第1電極が接続され、第2電極が前記第1MOSトランジスタの第1電極に接続された第3MOSトランジスタと、該第1MOSトランジスタの第1電極にゲート電極が接続された第4MOSトランジスタと、を有し、前記各画素の感度のバラツキを検出す

るとき、前記第2MOSトランジスタのゲート電極に信号を与えて前記第2MOSトランジスタをONするとともに、前記第3MOSトランジスタをOFFすることによって、前記第1MOSトランジスタのゲート電極に一定の直流電圧を印加するとともに、前記第1MOSトランジスタのゲート電極と前記第4MOSトランジスタのゲート電極とを切断状態にし、前記各画素に撮像動作をさせるとき、前記第2MOSトランジスタをOFFするとともに、前記第3MOSトランジスタのゲート電極に信号を与えて前記第3MOSトランジスタをONすることによって、前記第1MOSトランジスタのゲート電極と前記第4MOSトランジスタのゲート電極を接続状態にすることを特徴とする。

【0024】このような固体撮像装置において、請求項18に記載するように、前記画素に撮像動作をさせる場合、前記フォトダイオードから出力される電気信号を自然対数的に変換して前記第4MOSトランジスタの第2電極から出力させるときは、前記第1MOSトランジスタを閾値以下のサブスレッショルド領域で動作させ、一方、前記フォトダイオードから出力される電気信号を線形的に変換して前記第4MOSトランジスタの第2電極から出力させるときは、前記第1MOSトランジスタの第2電極と前記フォトダイオードの他方の電極の電位を接近させることにより前記第1MOSトランジスタを不動作状態とするとともに、電気信号を出力させた後、前記第2MOSトランジスタのゲート電極に入力する電圧のレベルを切り換えることによって前記第2MOSトランジスタを導通させて、前記第1MOSトランジスタの第1電極及びゲート電極に蓄積された電荷を放出してリセットさせる。

【0025】又、請求項19に記載するように、前記画素に、第1電極が前記第4MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第5MOSトランジスタを設けても良い。又、請求項20に記載の固体撮像装置のように、前記画素に、第1電極に直流電圧が印加され、ゲート電極が前記第4MOSトランジスタの第2電極に接続されるとともに、前記第4MOSトランジスタの第2電極から出力される出力信号を増幅する第6MOSトランジスタを設けても良い。

【0026】請求項21に記載の固体撮像装置は、請求項19又は請求項20に記載の固体撮像装置において、前記画素が、前記第4MOSトランジスタの第2電極に一端が接続されとともに、前記第4MOSトランジスタの第1電極にリセット電圧が与えられたときに前記第4MOSトランジスタを介してリセットされるキャパシタを有することを特徴とする。

【0027】請求項22に記載の固体撮像装置は、請求項19又は請求項20に記載の固体撮像装置において、前記第4MOSトランジスタの第1電極に直流電圧が印

加されるとともに、前記画素が、前記第4MOSトランジスタの第2電極に第1電極が接続され第2電極に直流電圧が接続された第7MOSトランジスタと、前記第4MOSトランジスタの第2電極に一端が接続される信号線に接続されるとともに、前記第7MOSトランジスタのゲート電極にリセット電圧が与えられたときに前記第7MOSトランジスタを介してリセットされるキャパシタと、を有することを特徴とする。

【0028】請求項23に記載の固体撮像装置は、請求項17～請求項22のいずれかに記載の固体撮像装置において、前記画素に対し前記出力信号線を介して接続された負荷抵抗又は定電流源を成すMOSトランジスタを備えていることを特徴とする。

【0029】請求項24に記載の固体撮像装置のように、請求項17～請求項23のいずれかに記載の固体撮像装置において、各画素の光電変換手段の感度のバラツキを検出するとき、前記感光素子を暗状態に保つようにしても良い。

【0030】

【発明の実施の形態】<画素構成の第1例>以下、本発明の固体撮像装置の各実施形態を図面を参照して説明する。図1は本発明の一実施形態である二次元のMOS型固体撮像装置の一部の構成を概略的に示している。同図において、G11～Gmnは行列配置（マトリクス配置）された画素を示している。2は垂直走査回路であり、行（ライン）4-1、4-2、・・・、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、・・・、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン4-1、4-2・・・、4-nや出力信号線6-1、6-2・・・、6-m、電源ライン5だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図1ではこれらについて省略し、図2に示す第1の実施形態において示している。

【0031】出力信号線6-1、6-2、・・・、6-mごとにNチャネルのMOSトランジスタQ2が図示の如く1つずつ設けられている。MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。尚、後述するように各画素内にはスイッチ用のNチャネルの第5MOSトランジスタT5も設けられている。ここで、MOSトランジスタT5は行の選択を行うものであり、MOSトランジスタQ2は列の選択を行うものである。

【0032】<第1の実施形態>図1に示した画素構成の第1例の各画素に適用される第1の実施形態（図2）について、図面を参照して説明する。

【0033】図2において、pnフォトダイオードPDが感光部（光電変換部）を形成している。そのフォトダ

イオードPDのアノードは第1MOSトランジスタT1のドレイン、第3MOSトランジスタT3のドレイン及び第4MOSトランジスタT4のゲートに接続されている。MOSトランジスタT4のソースは行選択用の第5MOSトランジスタT5のドレインに接続されている。MOSトランジスタT5のソースは出力信号線6（この出力信号線6は図1の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSトランジスタT1～T5は、それぞれ、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0034】又、フォトダイオードPDのカソードには直流電圧VPDが印加されるようになっている。一方、MOSトランジスタT1のソースには信号φVPSが印加され、MOSトランジスタT4のソースには他端に信号φVPSが印加されるキャパシタCの一端が接続される。MOSトランジスタT2のソースに直流電圧VRBが印加され、そのゲートに信号φVRSが入力されるとともに、そのドレインにMOSトランジスタT1のゲート及びMOSトランジスタT3のソースが接続される。MOSトランジスタT4のドレインには信号φDが入力される。

又、MOSトランジスタT3のゲートに信号φSWが入力される。更に、MOSトランジスタT5のゲートには信号φVが入力される。尚、本実施形態において、信号φVPSは、2値的に変化するものとし、MOSトランジスタT1をサブスレッショルド領域で動作させるための電圧をローレベルとし、直流電圧VPDと略等しい電圧をハイレベルとする。

【0035】このような回路構成の画素において、MOSトランジスタT1をサブスレッショルド領域で動作させるときに必要なMOSトランジスタT1のゲートに生じる閾値THを検出する方法（即ち、各画素の感度バラツキを検出する方法）を図2及び図3を用いて以下に説明する。尚、図3（a）は、フォトダイオードPD及びMOSトランジスタT1の構造を示した図で、図3（b）、（c）はフォトダイオードPD及びMOSトランジスタT1のポテンシャルの関係を示した図である。又、図3（b）、（c）のポテンシャル図に示す矢印の方向は、ポテンシャルが高くなる方向を示す。

【0036】ところで、フォトダイオードPDは、例えば、図3（a）のように、P型の半導体基板（以下、「P型基板」という。）10に、N型ウェル層11を形成するとともに、そのN型ウェル層11にP型拡散層12を設けることによって形成される。又、MOSトランジスタT1は、P型基板10にN型拡散層13、14を形成し、且つ、そのN型拡散層13、14間のチャンネル上に順次、酸化膜15とポリシリコン層16を形成することによって構成される。ここで、N型ウェル層11がフォトダイオードPDのカソード側を形成するとともに、P型拡散層12がアノード側を形成する。又、N型拡散層13、14が、それぞれMOSトランジスタT1

のドレイン、ソースを形成するとともに、酸化膜15及びポリシリコン層16がそれぞれゲート絶縁膜とゲート電極を形成する。尚、ここで、P型基板10において、N型拡散層13、14の間の領域をゲート下領域ということにする。

【0037】(1)各画素の感度のバラツキの検出方法について

まず、信号 ϕ SWの電圧をローレベルにしてMOSトランジスタT3をOFFにするとともに、信号 ϕ VRSの電圧をハイレベルにしてMOSトランジスタT2をONにする。又、信号 ϕ VをローレベルにしてMOSトランジスタT5もOFFにする。このようにしてMOSトランジスタT1のゲートとMOSトランジスタT4のゲートとの接続を遮断するとともに、MOSトランジスタT1のゲートに直流電圧VRBを印加する。又、信号 ϕ Dの電圧をハイレベル(直流電圧VPDと同じ又は直流電圧VPDに近い電位)にする。尚、本実施形態においては、電荷注入によりトランジスタの閾値の検出を行うので、各画素のバラツキ検出を行う際、感光素子であるフォトダイオードには一様光など検出のための特別な照明を当てる必要が無い。尚、この点は後述する各実施形態についても当てはまる。

【0038】次に、MOSトランジスタT1のソースに入力する信号 ϕ VPSの電圧を低くする。信号 ϕ VPSの電圧を低くすることによって、MOSトランジスタT1におけるポテンシャルの関係が、図3(b)のように、MOSトランジスタT1のドレイン、ゲート下領域、及びソースにおけるポテンシャルが、ドレイン、ゲート下領域、ソースの順に高くなる。よって、MOSトランジスタT1のソースから負の電荷EがMOSトランジスタT1に流れ込む。このとき、電荷の蓄積時間はごく短いので、実際的に正の電荷がMOSトランジスタT1のドレインに向かって流れることが無い。そのため、MOSトランジスタT1のドレイン・ソース間に負の電荷が蓄積される。

【0039】そして、次に、信号 ϕ VPSの電圧を直流電圧VPDと同じ又は直流電圧VPDに近い電位にすることによって、図3(c)のように、MOSトランジスタT1のソースのポテンシャルをゲート下領域のポテンシャルよりも高くする。よって、MOSトランジスタT1のドレイン・ソース間に蓄積された負の電荷が、信号線 ϕ VPに流れ出す。しかしながら、MOSトランジスタT1のドレインのポテンシャルが、ゲート下領域のポテンシャルよりも高いので、MOSトランジスタT1のドレインに蓄積された負の電荷の一部E'がMOSトランジスタT1のドレインに残る。MOSトランジスタT1のゲート下領域のポテンシャルは、ゲート電圧をVG、閾値電圧をVTHとすると、 $(VG - VTH)$ に比例する。よって、MOSトランジスタT1のドレインに残る負の電荷量は、ゲートにかかる電圧が一定の直流電圧VRBである

ので、 $(VRB - VTH)$ に比例する。

【0040】このようにMOSトランジスタT1のドレイン電圧は閾値電圧VTHに対応した電圧となり、このMOSトランジスタT1のドレイン電圧がMOSトランジスタT4のゲートに現れる。このMOSトランジスタT4のゲートに現れる電圧は、MOSトランジスタT1のドレインに蓄積された負の電荷量に比例するので、閾値電圧VTHに比例することがわかる。このMOSトランジスタT4のゲート電圧によって、MOSトランジスタT4に電流が流れ、キャパシタCに電荷が蓄積されるとともに接続ノードaの電位が上昇する。そして、信号 ϕ VをハイレベルにしてMOSトランジスタT5をONすることによって、キャパシタCに蓄積された電荷が出力電流として出力信号線6に導出される。このようにして画素毎に、そのMOSトランジスタT1の閾値電圧VTHに比例した電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。更にいえば、この閾値電圧VTHに比例した電流は図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図19に示している。

【0041】さて、上述のように補正データを検出した後、MOSトランジスタT5をOFFとするとともに信号 ϕ DをローレベルにしてMOSトランジスタT4を通して信号 ϕ Dの信号線路へキャパシタCに蓄積された電荷を放電することによって、キャパシタC及び接続ノードaの電位が初期化される。しかる後、MOSトランジスタT3をONにすることによって、MOSトランジスタT2、T3を通して、フォトダイオードPD、MOSトランジスタT1のドレイン及びMOSトランジスタT4のゲートに蓄積された電荷を放電して初期化する。

【0042】感度バラツキの検出自体はごく短時間で終わるので、以上の過程において、バラツキ検出を行う際にフォトダイオードへ光が入射していても構わないが、好ましくは、フォトダイオードには閾値バラツキの検出に影響がでるような強い光が照射されないように保つようにする。暗状態にすることが好ましいが、強い光が照射されない常光の下であっても良い。このようにすると、フォトダイオードから不必要な電気信号が発生せずバラツキ検出をより正確に行うことができる。尚、この点は後述する各実施形態についても当てはまる。

【0043】(2)各画素への入射光を電気信号に変換する動作について

この実施形態において、信号 ϕ VPSの電圧値を切り換えてMOSトランジスタT1のバイアスを変えることにより、単一の画素において出力信号線6に導出される出力

信号をフォトダイオードPDが入射光に応じて出力する電気信号（以下、「光電流」という。）に対して自然対数的に変換させる場合と、線形的に変換させる場合とを実現することができる。尚、このとき、信号 ϕ SWをハイレベルにしてMOSトランジスタT3をONの状態にし、MOSトランジスタT1、T4のゲートが接続されたのと等価の状態にしておく。以下、これらの各場合について説明する。

【0044】（2-1） 光電流を自然対数的に変換して出力する場合。

まず、信号 ϕ VPSをローレベルとし、MOSトランジスタT1、T4がサブスレッショルド領域で動作するようにバイアスされているときの動作について、図2及び図4を用いて説明する。このとき、MOSトランジスタT2のゲートには、ローレベルの信号 ϕ VRSが与えられるので、MOSトランジスタT2はOFFとなり、実質的に存在しないことと等価になる。尚、図4中に示す矢印の方向は、ポテンシャルが高くなる方向を示す。

【0045】ところで、フォトダイオードPD及びMOSトランジスタT1のポテンシャルは、信号 ϕ VPSがローレベルのとき、図4（a）のようになる。図2の回路において、フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSトランジスタT1、T4のゲートに発生する。この電圧により、MOSトランジスタT4に電流が流れ、キャパシタCには前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタCとMOSトランジスタT4のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT5はOFFの状態としておく。

【0046】次に、MOSトランジスタT5のゲートにパルス信号 ϕ Vを与えて、MOSトランジスタT5をONにすると、キャパシタCに蓄積された電荷が、出力電流として出力信号線6に導出される。この出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。又、信号読み出し後、MOSトランジスタT5をOFFする。この後、信号 ϕ DをローレベルにしてMOSトランジスタT4を通して信号 ϕ Dの信号線路へキャパシタCに蓄積された電荷を放出することによって、キャパシタC及び接続ノードaの電位が初期化される。以上の動作を所定の時間間隔で繰り返すことにより、刻々と変化する被写体像を広いダイナミックレンジで連続的に撮像することができる。尚、このように入射光量に対してその出力電流を自然対数的に変換する場合、信号 ϕ VRSは、常にローレベルのままである。

【0047】（2-2） 光電流を線形的に変換して出力する場合。

次に、信号 ϕ VPSをハイレベルとしたときの動作について説明する。このとき、フォトダイオードPD及びMOSトランジスタT1のポテンシャルは、図4（b）のようになる。よって、MOSトランジスタT1は実質的にOFF状態となり、MOSトランジスタT1のソース・ドレイン間に電流が流れない。又、MOSトランジスタT2のゲートに与える信号 ϕ VRSをローレベルに保ち、MOSトランジスタT2はOFFする。

【0048】そして、まず、MOSトランジスタT5をOFFするとともに信号 ϕ Dをローレベル（信号 ϕ VPSよりも低い電位）にするとキャパシタCの電荷がMOSトランジスタT4を通して信号 ϕ Dの信号線路へ放電され、それによってキャパシタCをリセットして、接続ノードaの電位を例えば直流電圧VPDより低い電位に初期化する。この電位はキャパシタCによって保持される。その後、 ϕ Dをハイレベル（直流電圧VPDと同じ又は直流電圧VPDに近い電位）に戻す。このような状態において、フォトダイオードPDに光が入射すると光電流が発生する。このとき、MOSトランジスタT1のバックゲートとゲートとの間やフォトダイオードPDの接合容量などでキャパシタを構成するので、光電流による電荷が主としてMOSトランジスタT1、T4のゲートに蓄積される。よって、MOSトランジスタT1、T4のゲート電圧が前記光電流を積分した値に比例した値になる。

【0049】今、接続ノードaの電位が直流電圧VPDより低いので、MOSトランジスタT4はONし、MOSトランジスタT4のゲート電圧に応じたドレイン電流がMOSトランジスタT4を流れ、MOSトランジスタT4のゲート電圧に比例した量の電荷がキャパシタCに蓄積される。よって、接続ノードaの電位が前記光電流を積分した値に比例した値になる。次に、MOSトランジスタT5のゲートにパルス信号 ϕ Vを与えて、MOSトランジスタT5をONにすると、キャパシタCに蓄積された電荷が、出力電流として出力信号線6に導出される。この出力電流は前記光電流の積分値を線形的に変換した値となる。

【0050】このようにして入射光量に比例した信号（出力電流）を読み出すことができる。又、この後、MOSトランジスタT5をOFFとするとともに信号 ϕ DをローレベルにしてMOSトランジスタT4を通して信号 ϕ Dの信号線路へ放電することによって、キャパシタC及び接続ノードaの電位が初期化される。しかる後、MOSトランジスタT2のゲートにハイレベルの信号 ϕ VRSを与えることで、MOSトランジスタT2をONとして、フォトダイオードPD、MOSトランジスタT1のドレイン電圧及びMOSトランジスタT1、T4のゲート電圧を初期化させる。以上の動作を所定の時間間隔で繰り返すことにより、刻々と変化する被写体像をS/

N比の良好な状態で連続的に撮像することができる。

【0051】このように、本実施形態においては、簡単な電位操作により同一の画素で複数の出力特性を切り換えることが可能になる。尚、信号を対数変換して出力する状態から線形変換して出力する状態に切り換える際には、まず ϕ VPSの電位調整により出力の切り換えを行ってから、MOSトランジスタT2によるMOSトランジスタT1などのリセットを行うことが好ましい。一方、信号を線形変換して出力する状態から対数変換して出力する状態に切り換える際には、MOSトランジスタT2

によるMOSトランジスタT1などのリセットは特に必要ない。これは、MOSトランジスタT1が完全なOFF状態ではないことに起因してMOSトランジスタT1に蓄積されたキャリアは逆極性のキャリアによってうち消されるためである。

【0052】又、各画素からの信号読み出しは電荷結合素子(CCD)を用いて行うようにしてもかまわない。この場合、図2のMOSトランジスタT5に相当するポテンシャルレベルを可変としたポテンシャルの障壁を設けることにより、CCDへの電荷読み出しを行えばよ

い。

【0053】＜画素構成の第2例＞図5は本発明の他の実施形態である二次元のMOS型固体撮像装置の一部の構成を概略的に示している。同図において、G11～Gmnは行列配置(マトリクス配置)された画素を示している。2は垂直走査回路であり、行(ライン)4-1、4-2、・・・、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、・・・、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素

に対し、上記ライン4-1、4-2・・・、4-nや出力信号線6-1、6-2・・・、6-m、電源ライン5だけでなく、他のライン(例えば、クロックラインやバイアス供給ライン等)も接続されるが、図5ではこれらについて省略し、図7以降の各実施形態において示している。

【0054】出力信号線6-1、6-2、・・・、6-mごとにNチャネルのMOSトランジスタQ1、Q2が図示の如く1組ずつ設けられている。MOSトランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧VPS'のライン8に接続されている。一方、MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。

【0055】画素G11～Gmnには、後述するように、それらの画素で発生した光電荷に基づく信号を出力するNチャネルのMOSトランジスタTaが設けられている。MOSトランジスタTaと上記MOSトランジスタQ1との接続関係は図6(a)のようになる。このMO

SトランジスタTaは、第2及び第3の実施形態では、第6MOSトランジスタT6に、第4及び第5の実施形態では、第4MOSトランジスタT4に相当する。ここで、MOSトランジスタQ1のソースに接続される直流電圧VPS'と、MOSトランジスタTaのドレインに接続される直流電圧VPD'との関係は $VPD' > VPS'$ であり、直流電圧VPS'は例えばグランド電圧(接地)である。この回路構成は上段のMOSトランジスタTaのゲートに信号が入力され、下段のMOSトランジスタQ1のゲートには直流電圧DCが常時印加される。このため下段のMOSトランジスタQ1は抵抗又は定電流源と等価であり、図6(a)の回路はソースフォロワ型の増幅回路となっている。この場合、MOSトランジスタTaから増幅出力されるのは電流であると考えてよい。

【0056】MOSトランジスタQ2は水平走査回路3によって制御され、スイッチ素子として動作する。尚、後述するように図7以降の各実施形態の画素内にはスイッチ用のNチャネルの第5MOSトランジスタT5も設けられている。この第5MOSトランジスタT5も含めて表わすと、図6(a)の回路は正確には図6(b)のようになる。即ち、MOSトランジスタT5がMOSトランジスタQ1とMOSトランジスタTaとの間に挿入されている。ここで、MOSトランジスタT5は行の選択を行うものであり、MOSトランジスタQ2は列の選択を行うものである。尚、図5および図6に示す構成は以下に説明する第2の実施形態～第5の実施形態に共通の構成である。

【0057】図6のように構成することにより信号を大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路(図示せず)での処理が容易になる。また、増幅回路の負荷抵抗部分を構成するMOSトランジスタQ1を画素内に設けずに、列方向に配置された複数の画素が接続される出力信号線6-1、6-2、・・・、6-mごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【0058】＜第2の実施形態＞図5に示した画素構成の第2例の各画素に適用される第2の実施形態について、図面を参照して説明する。図7は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図2に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0059】図7に示すように、本実施形態では、図2に示す画素に、接続ノードaにゲートが接続され接続ノードaの電圧に応じた電流増幅を行う第6MOSトランジスタT6と、このMOSトランジスタT6のソースに

ドレインが接続された行選択用の第5MOSトランジスタT5と、接続ノードaにドレインが接続されキャパシタC及び接続ノードaの電位の初期化を行う第7MOSトランジスタT7とが付加された構成となる。MOSトランジスタT5のソースは出力信号線6（この出力信号線6は図5の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSトランジスタT6、T7も、MOSトランジスタT1～T5と同様に、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0060】又、MOSトランジスタT6のドレインには直流電圧VPDが印加され、MOSトランジスタT5のゲートには信号φVが入力される。又、MOSトランジスタT7のソースには直流電圧VRB2が印加されるとともに、そのゲートには信号φVRS2が入力される。更に、MOSトランジスタT4のドレインには直流電圧VPDが印加される。尚、本実施形態において、MOSトランジスタT1～T5及びキャパシタCは、第1の実施形態（図2）と同様の動作を行い、各画素の感度のバラツキを検出するための電流を出力することができる。以下にその動作を説明する。

【0061】（1）各画素の感度のバラツキの検出方法について

まず、MOSトランジスタT5をOFFの状態にした後、MOSトランジスタT3をOFFにしてMOSトランジスタT1、T4のゲートが遮断されたのと等価の状態にするとともに、MOSトランジスタT2をONにしてMOSトランジスタT1のゲートに直流電圧VRBを印加する。又、信号φVRS2をローレベルにしてMOSトランジスタT7をOFFにする。各画素をこのような状態にすると、MOSトランジスタT1のソースに印加する信号φVPSの電圧を第1の実施形態（図3）と同様に低くした後に高くすることによって、MOSトランジスタT1のドレインに負の電荷が蓄積され、この負の電荷によって変化するドレイン電圧に応じてMOSトランジスタT4に電流が流れる。

【0062】そして、MOSトランジスタT4を通して流れる電流によって、キャパシタCに電荷が蓄積されるとともに、接続ノードaの電位が上昇する。次に、信号φVをハイレベルにすることによってMOSトランジスタT5をONにすると、接続ノードaに現れる電圧に応じてMOSトランジスタT6に電流が流れ、出力電流として、MOSトランジスタT5を通して出力信号線6に導出される。この出力信号線6に導出される出力電流は、MOSトランジスタT1の閾値電圧VTHに比例した電流であり、この出力電流によって各画素からの出力を補正するための補正データを検出することができる。更に、この閾値電圧VTHに比例した電流は、第1の実施形態（図1）と同様に、図5の信号線9から画素毎にシリアルに出力されて、後続回路においてメモリに画素毎の

補正データとして記憶しておく。そして、実際の撮像時にこの補正データを使用することによって、出力信号からの画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図19に示している。

【0063】さて、上述のように補正データを検出した後、MOSトランジスタT5をOFFにするとともに、MOSトランジスタT7のゲートにハイレベルの信号φVRS2を与えることでMOSトランジスタT7をONとして、キャパシタC及び接続ノードaの電位を初期化させる。しかる後、MOSトランジスタT3をONにすることによって、MOSトランジスタT2、T3を通して、フォトダイオードPD、MOSトランジスタT1のドレイン及びMOSトランジスタT4のゲートに蓄積された電荷を放電して初期化する。

【0064】（2）各画素への入射光を電気信号に変換する動作について

この実施形態において、信号φVPSの電圧値を切り換えてMOSトランジスタT1のバイアスを変えることにより、第1の実施形態と同様に、単一の画素において出力信号線6に導出される出力信号をフォトダイオードPDが入射光に応じて出力する光電流に対して自然対数的に変換させる場合と、線形的に変換させる場合とを実現することができる。尚、このとき、信号φSWをハイレベルにしてMOSトランジスタT3をONの状態にし、MOSトランジスタT1、T4のゲートが接続されたのと等価の状態にしておく。以下、これらの各場合について説明する。

【0065】（2-1）光電流を自然対数的に変換して出力する場合。

まず、信号φVPSをローレベルとし、MOSトランジスタT1、T4がサブスレッショルド領域で動作するようにバイアスされているときの動作について、説明する。このとき、MOSトランジスタT2のゲートには、第1の実施形態と同様にローレベルの信号φVRSが与えられるので、MOSトランジスタT2はOFFとなり、実質的に存在しないことと等価になる。

【0066】フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSトランジスタT1、T4のゲートに発生する。この電圧により、MOSトランジスタT4に電流が流れ、キャパシタCには前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタCとMOSトランジスタT4のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT5、T7はOFF状態である。

【0067】次に、MOSトランジスタT5のゲートに

パルス信号を与えて、MOSトランジスタT5をONにすると、MOSトランジスタT6のゲートにかかる電圧に比例した電流がMOSトランジスタT5、T6を通過して出力信号線6に導出される。今、MOSトランジスタT6のゲートにかかる電圧は、接続ノードaにかかる電圧であるので、出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。

【0068】このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。信号読み出し後はMOSトランジスタT5をOFFにするとともに、MOSトランジスタT7のゲートにハイレベルの信号 ϕ VRS2を与えることでMOSトランジスタT7をONとして、キャパシタC及び接続ノードaの電位を初期化させることができる。尚、このように入射光量に対してその出力電流を自然対数的に変換する場合、信号 ϕ VRSは、常にローレベルのままである。

【0069】(2-2) 光電流を線形的に変換して出力する場合。

次に、信号 ϕ VPSをハイレベルとしたときの動作について説明する。このとき、MOSトランジスタT2のゲートにローレベルの信号 ϕ VRSを与えて、MOSトランジスタT2を実質的にOFFとする。そして、まず、MOSトランジスタT7のゲートにハイレベルの信号 ϕ VRS2を与えて該MOSトランジスタT7をONすることによりキャパシタCをリセットするとともに、接続ノードaの電位を直流電圧VPDより低い電位VRB2に初期化する。この電位はキャパシタCによって保持される。その後、信号 ϕ VRS2をローレベルとして、MOSトランジスタT7をOFFとする。このような状態において、フォトダイオードPDに光が入射すると光電流が発生する。このとき、MOSトランジスタT1のバックゲートとゲートとの間やフォトダイオードPDの接合容量でキャパシタを構成するので、光電流による電荷が主としてMOSトランジスタT1、T4のゲートに蓄積される。よって、MOSトランジスタT1、T4のゲート電圧が前記光電流を積分した値に比例した値になる。

【0070】今、接続ノードaの電位が直流電圧VPDより低いので、MOSトランジスタT4はONし、MOSトランジスタT4のゲート電圧に応じたドレイン電流がMOSトランジスタT4を流れ、MOSトランジスタT4のゲート電圧に比例した量の電荷がキャパシタCに蓄積される。よって、接続ノードaの電位が前記光電流を積分した値に比例した値になる。次に、MOSトランジスタT5のゲートにパルス信号を与えて、MOSトランジスタT5をONにすると、MOSトランジスタT6のゲートにかかる電圧に比例した電流がMOSトランジスタT5、T6を通過して出力信号線6に導出される。MOSトランジスタT6のゲートにかかる電圧は、接続ノードaの電圧であるので、出力信号線6に導出される電流は前記光電流の積分値を線形的に変換した値となる。

【0071】このようにして入射光量に比例した信号（出力電流）を読み出すことができる。信号読み出し後は、まず、MOSトランジスタT5をOFFにするとともに、MOSトランジスタT2のゲートにハイレベルの信号 ϕ VRSを与えることで、MOSトランジスタT2をONとして、フォトダイオードPD、MOSトランジスタ1のドレイン、及びMOSトランジスタT1、T4のゲートを初期化させる。次に、MOSトランジスタT7のゲートにハイレベルの信号 ϕ VRS2を与えることでMOSトランジスタT7をONとして、キャパシタC及び接続ノードaの電位を初期化させる。

【0072】<第3の実施形態>第3の実施形態について、図面を参照して説明する。図8は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図7に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0073】図8に示すように、本実施形態では、MOSトランジスタT4のドレインに信号 ϕ Dを与えることによってキャパシタC及び接続ノードaの電位を初期化するようにし、それによってMOSトランジスタT7を削除した構成となっている。その他の構成は第2の実施形態（図7）と同一である。尚、信号 ϕ Dのハイレベル期間では、第1の実施形態（図2）と同様にキャパシタCで積分が行われ、ローレベル期間では、キャパシタCの電荷がMOSトランジスタT4を通して放電され、キャパシタCの電圧及びMOSトランジスタT6のゲートは略信号 ϕ Dのローレベル電圧になる（リセット）。本実施形態では、MOSトランジスタT7を省略できる分、構成がシンプルになる。

【0074】この実施形態において、画素の補正データを検出するときは、MOSトランジスタT3をOFFにしてMOSトランジスタT1、T4のゲートが遮断されたのと等価の状態にするとともに、MOSトランジスタT2をONにしてMOSトランジスタT1のゲートに直流電圧VRBを印加する。又、信号 ϕ Dをハイレベル（例えば、直流電圧VPDと略等しい電圧）にして、信号 ϕ VPSの電圧を第1の実施形態（図3）と同様に低くした後高くすることによって、MOSトランジスタT1のドレインに負の電荷を蓄積させる。この負の電荷によって変化するドレイン電圧に応じてMOSトランジスタT4に電流が流れ、キャパシタCに電荷が蓄積されるとともに、接続ノードaの電位が上昇する。

【0075】そして、所定のタイミングで、MOSトランジスタT5をONにして、接続ノードaに現れる電圧に応じてMOSトランジスタT6のゲートにかかる電圧に比例した電流を出力信号線6に導出する。この出力信号線6に導出される出力電流は、MOSトランジスタT1の閾値電圧VTHに比例した電流であり、この出力電流によって各画素からの出力を補正するための補正データ

を検出することができる。更に、この閾値電圧 V_{TH} に比例した電流は、第2の実施形態と同様に、図5の信号線9から画素毎にシリアルに出力されて、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時にこの補正データを使用することによって、出力信号からの画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図19に示している。

【0076】その後、MOSトランジスタT5をOFFにするとともに信号 ϕD をローレベル（信号 ϕVPS よりも低い電圧）にすると、キャパシタCの電荷がMOSトランジスタT4を通して信号 ϕD の信号線路へ放出され、それによって、キャパシタC及び接続ノードaの電位が初期化される。しかる後、MOSトランジスタT3をONにすることによって、MOSトランジスタT2、T3を通して、フォトダイオードPD、MOSトランジスタT1のドレイン及びMOSトランジスタT4のゲートに蓄積された電荷を放電して初期化する。

【0077】又、撮像動作をさせるときにおいて、出力電流を光電流に対して自然対数的に変換させる場合は、MOSトランジスタT3をON状態に固定するとともにMOSトランジスタT2をOFF状態に固定する。又、信号 ϕVPS をローレベルにするとともに、信号 ϕD をハイレベルにして、光電流の積分値を自然対数的に変換した値と同等の電荷をキャパシタCに蓄積する。そして、所定のタイミングでMOSトランジスタT5をONにして、MOSトランジスタT6のゲートにかかる電圧に比例した電流をMOSトランジスタT5、T6を通して出力信号線6に導出する。

【0078】その後、MOSトランジスタT5をOFFにするとともに信号 ϕD をローレベルにすると、キャパシタCの電荷がMOSトランジスタT4を通して信号 ϕD の信号線路へ放電され、それによって、キャパシタC及び接続ノードaの電圧が初期化される。

【0079】これに対して、出力電流を光電流に対して線形的に変換させる場合は、まず、MOSトランジスタT3をON状態に固定するとともにMOSトランジスタT2をOFFにする。又、信号 ϕVPS 及び信号 ϕD をハイレベルにする。そして、MOSトランジスタT4を用いた初期化動作を行うことによって、第2の実施形態と同様に接続ノードaが直流電圧VPDより低い電圧となる。このような状態で、光電流の積分値を線形的に変換した値と同等の電荷をキャパシタCに蓄積する。次に、所定のタイミングでMOSトランジスタT5をONにして、MOSトランジスタT6のゲートにかかる電圧に比例した電流をMOSトランジスタT5、T6を通して出力信号線6に導出する。

【0080】その後、まず、MOSトランジスタT2をONして、フォトダイオードPD、MOSトランジスタT1のドレイン、及びMOSトランジスタT1、T4の

ゲートを初期化する。続いて、信号 ϕD をローレベルにしてキャパシタCの電荷をMOSトランジスタT4を通して信号 ϕD の信号線路に放電して、接続ノードaの電圧を直流電圧VPDより低い電圧に初期化する。

【0081】＜第4の実施形態＞第4の実施形態について、図面を参照して説明する。図9は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図8に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0082】図9に示すように、本実施形態では、MOSトランジスタT4のドレインに直流電圧VPDが印加されるとともに、キャパシタC及びMOSトランジスタT6を削除した構成となっている。即ち、MOSトランジスタT4のソースにMOSトランジスタT5のドレインが接続され、又、MOSトランジスタT4のドレインに直流電圧VPDが印加される。その他の構成は第3の実施形態（図8）と同一である。

【0083】このような構成の回路において、補正データを検出する際には、第3の実施形態と同様に、MOSトランジスタT2をON状態に固定するとともにMOSトランジスタT3をOFF状態に固定して、MOSトランジスタT1、T4のゲートが遮断されたのと等価の状態にするとともにMOSトランジスタT1のゲートに直流電圧VRBを印加する。そして、信号 ϕVPS の電圧を第1の実施形態（図3）と同様に低くした後に高くすることによって、MOSトランジスタT1のドレインに負の電荷を蓄積させる。この負の電荷によって変化するドレイン電圧に応じてMOSトランジスタT4に電流が流れる。

【0084】次に、所定のタイミングで、MOSトランジスタT5をONにして、MOSトランジスタT4のゲートにかかる電圧に比例した電流を出力信号線6に導出する。この出力信号線6に導出される出力電流は、MOSトランジスタT1の閾値電圧 V_{TH} に比例した電流であり、この出力電流によって各画素からの出力を補正するための補正データを検出することができる。更に、この閾値電圧 V_{TH} に比例した電流は、第3の実施形態と同様に、図5の信号線9から画素毎にシリアルに出力されて、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時にこの補正データを使用することによって、出力信号からの画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図19に示している。

【0085】さて、上述のように補正データを検出した後、まず、MOSトランジスタT5をOFFにする。次に、MOSトランジスタT3をONにすることによって、MOSトランジスタT2、T3を通して、フォトダイオードPD、MOSトランジスタT1のドレイン及びMOSトランジスタT4のゲートに蓄積された電荷を放

10

20

30

40

50

電して初期化する。

【0086】又、図9に示す画素は、撮像動作を行う際において、第3の実施形態と同様に、MOSトランジスタT3をON状態に固定するとともに信号 ϕ VPSの電圧値を切り換えてMOSトランジスタT1のバイアスを変えることにより、出力信号線6に導出される出力信号を光電流に対して自然対数的に変換させる場合と、線形的に変換させる場合とを実現することができる。

【0087】このように信号 ϕ VPSの電圧値を切り換えてMOSトランジスタT4のゲート電圧をフォトダイオードPDで発生する光電流に対して自然対数的に、又は、線形的に変化させることによって、前記光電流に対して自然対数的に、又は、線形的に比例した値のドレイン電流がMOSトランジスタT4を流れる。そして、MOSトランジスタT5のゲートに信号 ϕ Vを与えてONとすると、前記光電流に対して自然対数的に、又は、線形的に比例した値のドレイン電流が、MOSトランジスタT5を通して出力信号線6に導出される。このとき、MOSトランジスタT4及びMOSトランジスタQ1

(図5)の導通時抵抗とそれらを流れる電流によって決まるMOSトランジスタQ1のドレイン電圧が、信号として出力信号線6に現れる。このようにして信号が読み出された後、MOSトランジスタT5がOFFになる。入射光量に対して線形的に比例した信号が読み出された場合、この信号を読み出した後、MOSトランジスタT2をONにして、フォトダイオードPD、MOSトランジスタT1のドレイン、及びMOSトランジスタT1、T4のゲートを初期化する。

【0088】尚、本実施形態では上記第3の実施形態のように、光信号をキャパシタCで一旦積分するというを行わないので、積分時間が不要となり、又、キャパシタCのリセットも不要であるので、その分信号処理の高速化が図れる。又、本実施形態では、第3の実施形態に比し、キャパシタC及びMOSトランジスタT6を省略できる分、構成が更にシンプルになり画素サイズを小さくすることができる。

【0089】＜第5の実施形態＞第5の実施形態について、図面を参照して説明する。図10は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図9に示す画素と同様の目的で使用する素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0090】図10に示すように、本実施形態では、フォトダイオードPDのカソードに信号 ϕ VPDが入力され、MOSトランジスタT1のソースに直流電圧VPSが印加されるとともに、MOSトランジスタT4のドレインに直流電圧VDDが印加される。その他の構成は第4の実施形態(図9)と同一である。

【0091】このような構成の回路において、補正データを検出する際には、第4の実施形態と同様に、MOS

トランジスタT2をON状態に固定するとともにMOSトランジスタT3をOFF状態に固定して、MOSトランジスタT1、T4のゲートが遮断されたのと等価の状態にするとともにMOSトランジスタT1のゲートに直流電圧VRBを印加する。

【0092】そして、まず、信号 ϕ VPDの電圧を高くして、MOSトランジスタT1のドレイン、ゲート下領域、ソースにおけるポテンシャルを図3(b)と同様の状態に変化させることによって、MOSトランジスタT1のドレイン・ソース間に負の電荷を蓄積させる。その後、信号 ϕ VPDの電圧を低くして図3(c)と同様の状態にすることによって、MOSトランジスタT1のゲート下領域とソースに蓄積された電荷を放電してMOSトランジスタT1のドレインにのみ負の電荷が蓄積された状態にする。この負の電荷によって変化するドレイン電圧に応じてMOSトランジスタT4に電流が流れる。

【0093】次に、所定のタイミングで、第4の実施形態と同様にMOSトランジスタT5をONにして、MOSトランジスタT4のゲートにかかる電圧に比例した電流を出力信号線6に導出する。この出力信号線6に導出される出力電流は、MOSトランジスタT1の閾値電圧 V_{TH} に比例した電流であり、この出力電流によって各画素からの出力を補正するための補正データを検出することができる。更に、この閾値電圧 V_{TH} に比例した電流は、第4の実施形態と同様に、図5の信号線9から画素毎にシリアルに出力されて、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時にこの補正データを使用することによって、出力信号からの画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図19に示している。

【0094】さて、上述のように補正データを検出した後、まず、MOSトランジスタT5をOFFにする。次に、MOSトランジスタT3をONにすることによって、MOSトランジスタT2、T3を通して、フォトダイオードPD、MOSトランジスタT1のドレイン及びMOSトランジスタT4のゲートに蓄積された電荷を放電して初期化する。

【0095】又、図10に示す画素は、撮像動作を行う際において、MOSトランジスタT3をON状態に固定するとともにフォトダイオードPDのカソードに与える信号 ϕ VPDを直流電圧VPSより高いハイレベルにして、MOSトランジスタT1、T4をサブスレッショルド領域で動作させる。このとき、MOSトランジスタT5をONにすると、入射光量の対数値に比例した信号(出力電流)を読み出すことができる。又、フォトダイオードPDのカソードに与える信号 ϕ VPDを直流電圧VPSと同等のローレベルにして、MOSトランジスタT5をONにすると、入射光量に比例した信号を読み出すことができる。

【0096】このように、本実施形態は、第4の実施形態の直流電圧VPDを信号 ϕ VPDに、信号 ϕ VPSを直流電圧VPSに変更したものである。よって、上記したように、出力電流を入射光量に対して自然対数的に変換する場合と線形的に変換する場合と切り換えるために、第4の実施形態で信号 ϕ VPSのレベルを切り換える代わりに、本実施形態では信号 ϕ VPDを切り換える。それ以外の動作については、第4の実施形態における動作と同様である。

【0097】以上説明した第1～第5の実施形態は、画素内の能動素子であるMOSトランジスタT1～T7を全てNチャネルのMOSトランジスタで構成しているが、これらのMOSトランジスタT1～T7を全てPチャネルのMOSトランジスタで構成してもよい。図12及び図15～図18には、上記第1～第5の実施形態をPチャネルのMOSトランジスタで構成した例である第6～第10の実施形態を示している。そのため図11～図18では接続の極性や印加電圧の極性が逆になっている。例えば、図12（第6の実施形態）において、フォトダイオードPDはアノードに直流電圧VPDに接続され、カソードが第1MOSトランジスタT1のドレインや第4MOSトランジスタT4のゲートに接続されている。第1MOSトランジスタT1のソースは信号 ϕ VPSが入力される。

【0098】ところで、図12のような画素が対数変換を行うとき、信号 ϕ VPSの電圧と直流電圧VPDは、 ϕ VPS > VPD となっており、図2（第1の実施形態）と逆である。また、キャパシタCの出力電圧は初期値が高い電圧で、積分によって降下する。また、第2MOSトランジスタT2や第3MOSトランジスタT3や第5MOSトランジスタT5をONさせるときには、低い電圧をゲートに印加する。更に、図15の実施形態（第7の実施形態）において、第7MOSトランジスタT7をONさせるときには、低い電圧をゲートに印加する。以上の通り、NチャネルのMOSトランジスタを使った場合に比し、PチャネルのMOSトランジスタを用いる場合は、電圧関係や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図12及び図15～図18については図面で示すのみで、その構成や動作についての説明は省略する。

【0099】第6の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図11に示し、第7～第10の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図13に示している。図11及び図13については、図1及び図5と同一部分（同一の役割部分）に同一の符号を付して説明を省略する。以下、図13の構成について簡単に説明する。列方向に配列された出力信号線6-1、6-2、・・・、6-mに対してPチャネルのMOSトランジスタQ1とPチャネルのMOSトランジスタ

Q2が接続されている。MOSトランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧VPS'のライン8に接続されている。一方、MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。ここで、MOSトランジスタQ1は画素内のPチャネルのMOSトランジスタTaと共に図14

(a)に示すような増幅回路を構成している。尚、MOSトランジスタTaは、第7及び第8の実施形態では第6MOSトランジスタT6に相当し、又、第9及び第10の実施形態では第4MOSトランジスタT4に相当する。

【0100】この場合、MOSトランジスタQ1はMOSトランジスタTaの負荷抵抗又は定電流源となっている。従って、このMOSトランジスタQ1のソースに接続される直流電圧VPS'と、MOSトランジスタTaのドレインに接続される直流電圧VPD'との関係は、VPD' < VPS' であり、直流電圧VPD'は例えばグラウンド電圧（接地）である。MOSトランジスタQ1のドレインはMOSトランジスタTaに接続され、ゲートには直流電圧が印加されている。PチャネルのMOSトランジスタQ2は水平走査回路3によって制御され、増幅回路の出力を最終的な信号線9へ導出する。第7～第10の実施形態のように、画素内に設けられた第5MOSトランジスタT5を考慮すると、図14（a）の回路は図14（b）のように表わされる。

【0101】＜第1～第10の実施形態の画素を用いた画像データの補正方法＞上述した第1～第10の実施形態のような回路構成の画素が設けられた固体撮像装置がデジタルカメラなどの画像入力装置に使用されたときの実施例を、図面を参照して説明する。

【0102】図19に示す画像入力装置は、対物レンズ51と、該対物レンズ51を通して入射される光の光量に応じて電気信号を出力する固体撮像装置52と、撮像時の固体撮像装置52の電気信号（以下、「画像データ」と呼ぶ。）が入力されて一時記憶されるメモリ53と、補正データを記憶するためのメモリ54と、メモリ53から送出される画像データからメモリ54から記憶される補正データを補正演算する補正演算回路55と、補正演算回路55で補正データ分補正演算された画像データを演算処理して外部に出力する処理部56とを有する。尚、固体撮像装置52は、第1又は第6の実施形態（図2、図12）のような回路構成の画素が設けられた第1例（図1、図11）のような固体撮像装置、或いは、第2～第5、第7～第10の実施形態（図7～図10、図15～図18）のような回路構成の画素が設けられた第2例のような固体撮像装置（図5、図13）のいずれかの固体撮像装置である。

【0103】このような構成の画像入力装置は、まず、

撮像開始時に、例えばシャッター（不図示）を閉じて対物レンズ51から固体撮像装置52に外部の光が入射しない暗状態にする。そして、このとき、各画素が各実施形態で説明したように、この暗状態で補正データを検出し、メモリ54に出力する。このメモリ54では、各画素毎にその補正データを記憶する。

【0104】このようにして固体撮像装置52内の全面素の補正データをメモリ54に記憶させると、シャッターを開いて撮像動作を開始する。撮像動作が始まると、固体撮像装置52から各画素毎に画像データがメモリ53に出力される。この画像データ53を一旦メモリ53に記憶した後、補正演算回路55にこの画像データを各画素毎に送出する。このとき、同時にメモリ54より補正データが補正演算回路55に送出される。このように、補正演算回路55に送出された画像データ及び補正データは、補正演算回路55によって画像データからこの画像データを出力した同一画素の補正データが各画素毎に補正演算される。この補正データが補正演算された画像データが処理部56に送出されて、演算処理された後、外部に出力される。尚、上記各メモリ53、54としては、フレームメモリを用いる必要はなく、ラインメモリであればよいので、固体撮像装置内に組み込むことも容易である。又、画像入力装置は、メモリ53を省略して固体撮像装置52から出力される画像データを直接補正演算回路55に送出するような構造にしても良い。

【0105】

【発明の効果】以上説明したように、本発明の固体撮像装置によれば、常光の下で、各画素の感度のバラツキを検出することができる。よって、被写体の撮像時に各画素毎の出力を補正するための補正データを獲得するために、従来のように一様光を照射する必要がなくなる。又、フォトダイオードなどの光電変換素子で発生した電気信号を対数変換して出力するか、線形的に変換して出力するかを自由に選択できる。従って、例えば、輝度範囲の広い被写体の撮像には対数変換に切り換えて使用し、低輝度の被写体や輝度範囲の狭い被写体の撮像には、線形変換に切り換えて使用するという使い分けができる。そして、そのことによって、低輝度から高輝度までの幅広い被写体を高精度に撮像できる。更に、能動素子をMOSトランジスタで構成することにより高集積化が容易となり、周辺の処理回路（A/Dコンバータ、デジタル・システム・プロセッサ、メモリ）等とともにワンチップ上に形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図2】本発明の第1の実施形態の1画素の構成を示す回路図。

【図3】本発明で使用する画素の構成及びポテンシャルの関係を表した図。

【図4】本発明で使用する画素のポテンシャルの関係を表した図。

【図5】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図6】図5の一部の回路図。

【図7】本発明の第2の実施形態の1画素の構成を示す回路図。

【図8】本発明の第3の実施形態の1画素の構成を示す回路図。

【図9】本発明の第4の実施形態の1画素の構成を示す回路図。

【図10】本発明の第5の実施形態の1画素の構成を示す回路図。

【図11】画素内の能動素子をPチャネルのMOSトランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図12】本発明の第6の実施形態の1画素の構成を示す回路図。

【図13】画素内の能動素子をPチャネルのMOSトランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図14】図13の一部の回路図。

【図15】本発明の第7の実施形態の1画素の構成を示す回路図。

【図16】本発明の第8の実施形態の1画素の構成を示す回路図。

【図17】本発明の第9の実施形態の1画素の構成を示す回路図。

【図18】本発明の第10の実施形態の1画素の構成を示す回路図。

【図19】各実施形態の画素を用いた個体撮像装置を備えた画像入力装置の内部構造を示すブロック図。

【図20】従来例の1画素の構成を示す回路図。

【符号の説明】

G11～Gmn 画素

2 垂直走査回路

3 水平走査回路

4-1～4-n 行選択線

6-1～6-m 出力信号線

7 直流電圧線

8 ライン

9 信号線

10 P型半導体基板

11 N型ウェル層

12 P型拡散層

13, 14 N型拡散層

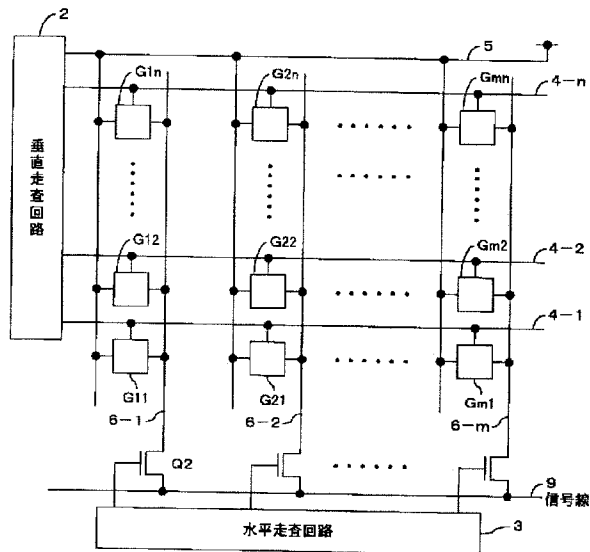
15 酸化膜

16 ポリシリコン

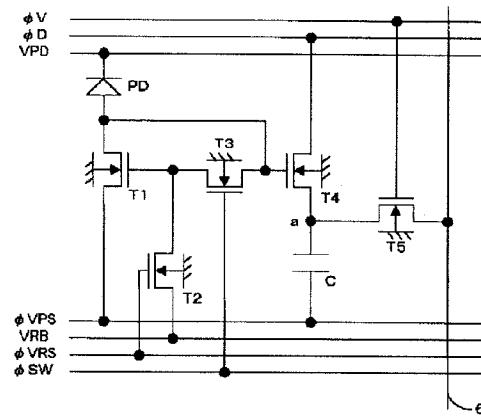
- 51 対物レンズ
52 固体撮像装置
53, 54 メモリ
55 補正演算回路

- * 56 処理部
PD フォトダイオード
T1~T7 第1~第7MOSトランジスタ
* C キャパシタ

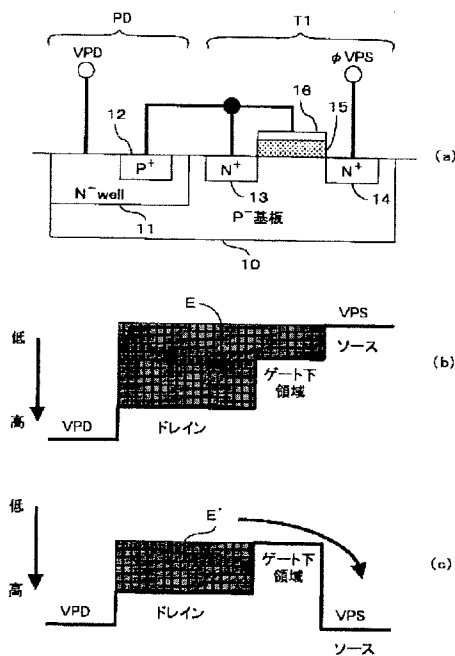
【図1】



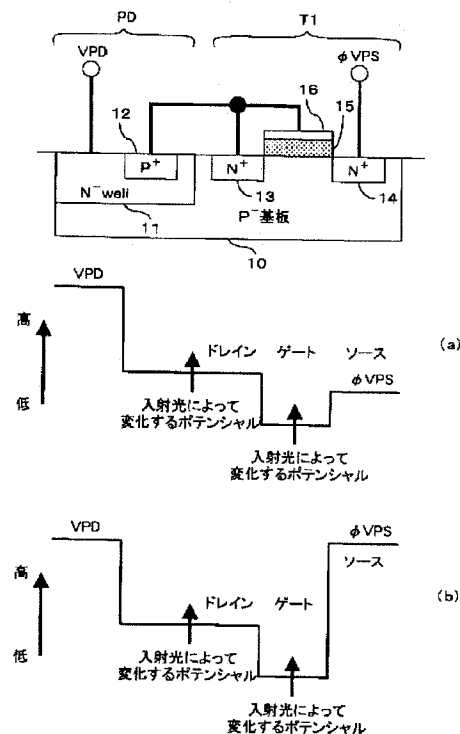
【図2】



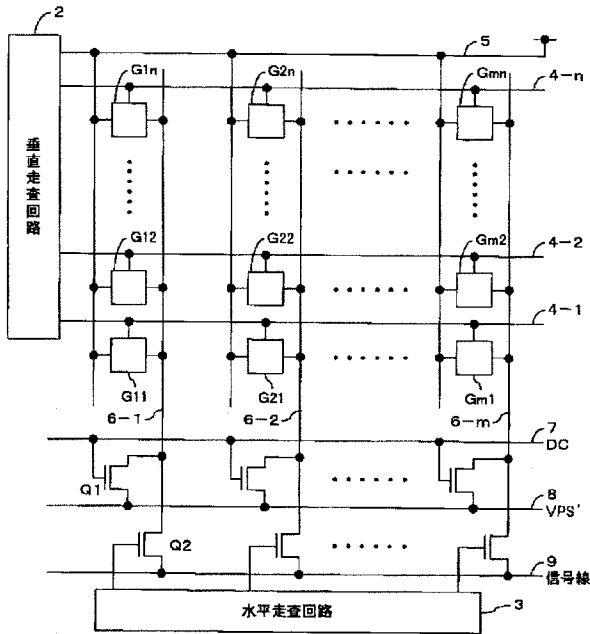
【図3】



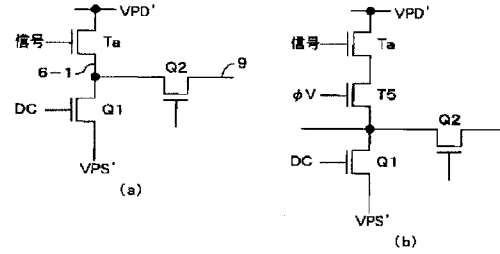
【図4】



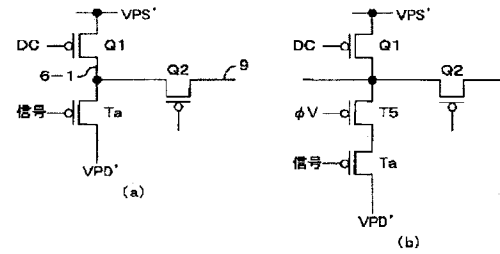
【図5】



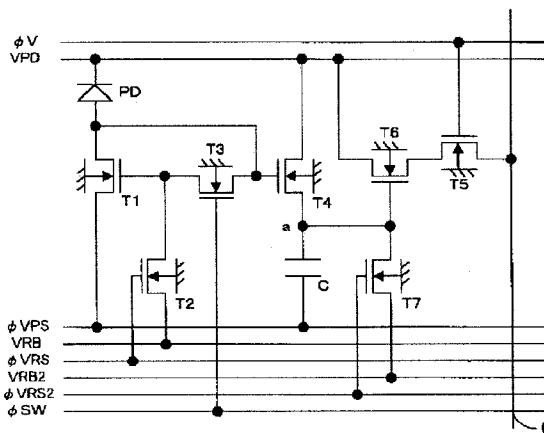
【図6】



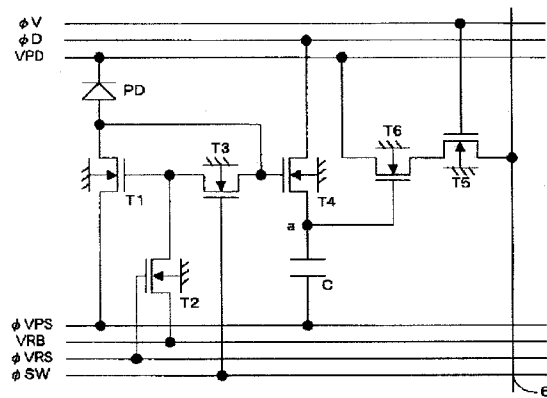
【図14】



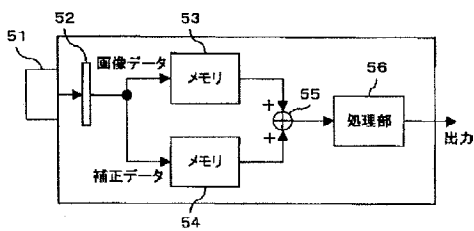
【図7】



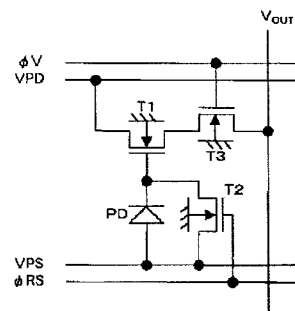
【図8】



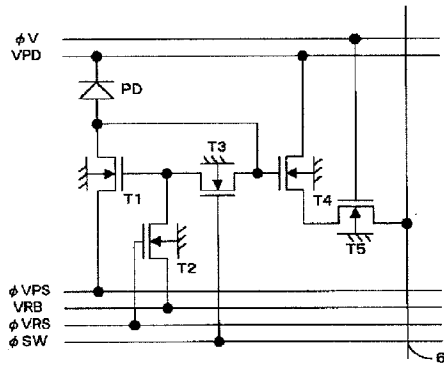
【図19】



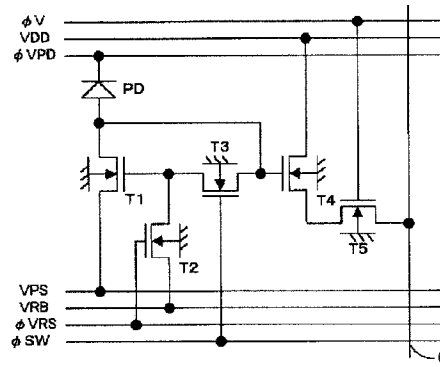
【図20】



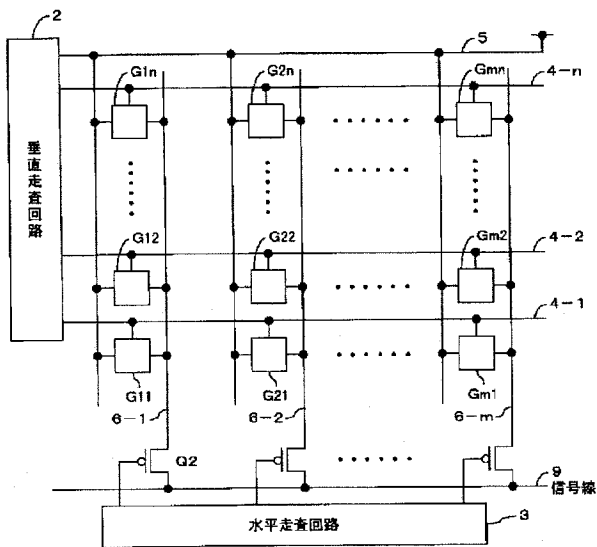
【図9】



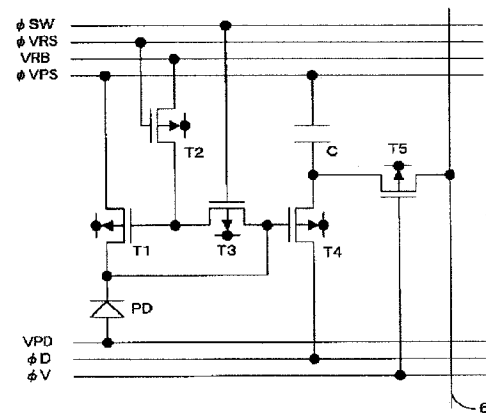
【図10】



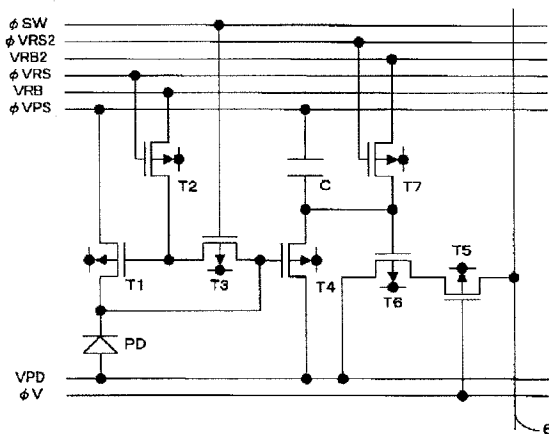
【図11】



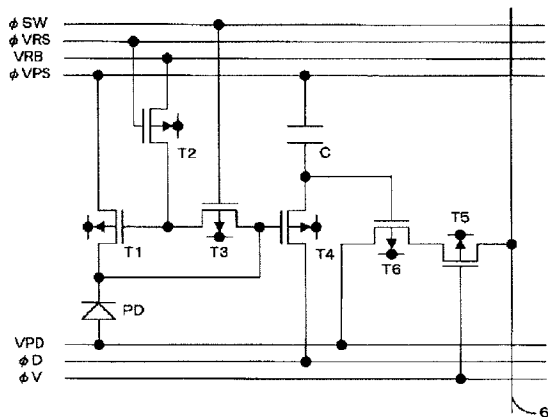
【図12】



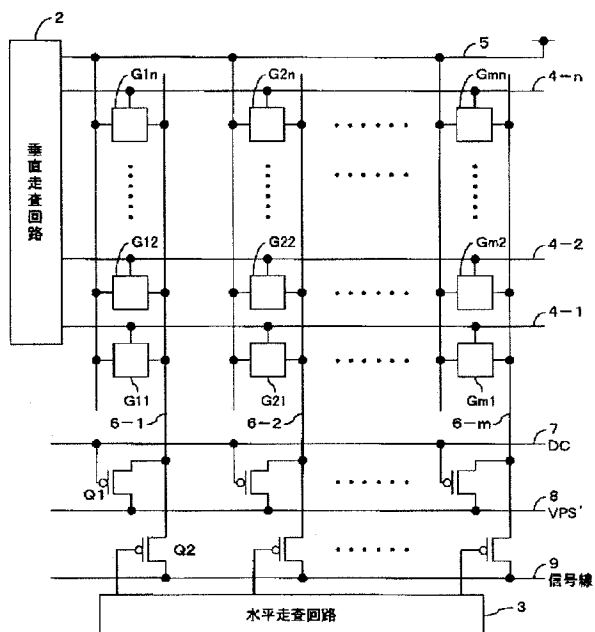
【図15】



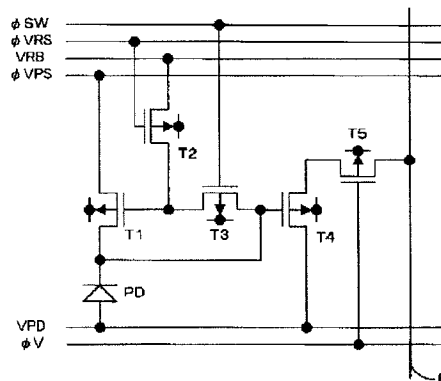
【図16】



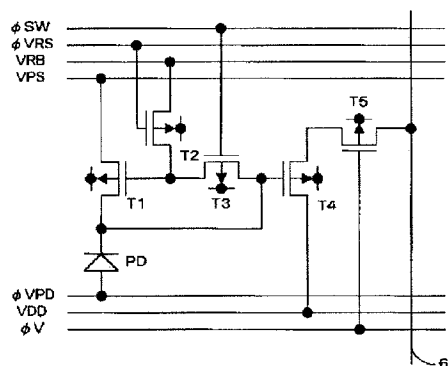
【図13】



【図17】



【図18】



フロントページの続き

Fターム(参考) 4M118 AA02 AA06 AB01 BA14 CA03
 FA06 FA50
 5C024 AA01 BA00 CA01 CA14 CA15
 DA00 FA01 FA11 GA01 GA04
 GA31 HA24
 5F049 MA03 NA20 NB05 RA01 RA08
 UA01 UA05 UA13 UA14 UA17